

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-005920

(43)Date of publication of application : 14.01.1994

(51)Int.CI.

H01L 33/00

H01S 3/18

(21)Application number : 04-185821

(71)Applicant : SONY CORP

(22)Date of filing : 19.06.1992

(72)Inventor : IKEDA MASAO

ITO SATORU

IRAKU YOSHINO

MIYAJIMA TAKAO

OZAWA MASABUMI

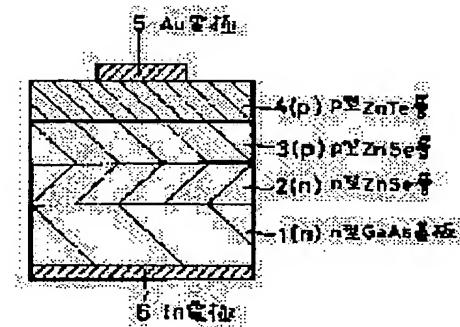
AKIMOTO KATSUHIRO

(54) LIGHT EMITTING ELEMENT

(57)Abstract:

PURPOSE: To improve the element characteristics by realizing ohmic contact of a p-side electrode for a light emitting element using a p-type ZnSe layer and thereby reducing the applied voltage required for operation.

CONSTITUTION: In a ZnSe-based light emitting element having a p-n junction comprising an n-type ZnSe layer 2 and a p-type ZnSe layer 3, a p-type ZnTe layer 4 is provided on the p-type ZnSe layer 3, and an Au electrode 5 is provided as p-side electrode on the p-type ZnTe layer 4.



LEGAL STATUS

[Date of request for examination] 18.06.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3221073

[Date of registration] 17.08.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-5920

(43)公開日 平成6年(1994)1月14日

(51)Int.Cl.⁵
H 01 L 33/00
H 01 S 3/18識別記号 庁内整理番号
D 8934-4M

F I

技術表示箇所

(21)出願番号 特願平4-185821
(22)出願日 平成4年(1992)6月19日(71)出願人 000002185
ソニー株式会社
東京都品川区北品川6丁目7番35号
(72)発明者 池田 昌夫
東京都品川区北品川6丁目7番35号 ソニー株式会社内
(72)発明者 伊藤 哲
東京都品川区北品川6丁目7番35号 ソニー株式会社内
(72)発明者 伊落 美乃
東京都品川区北品川6丁目7番35号 ソニー株式会社内
(74)代理人 弁理士 杉浦 正知

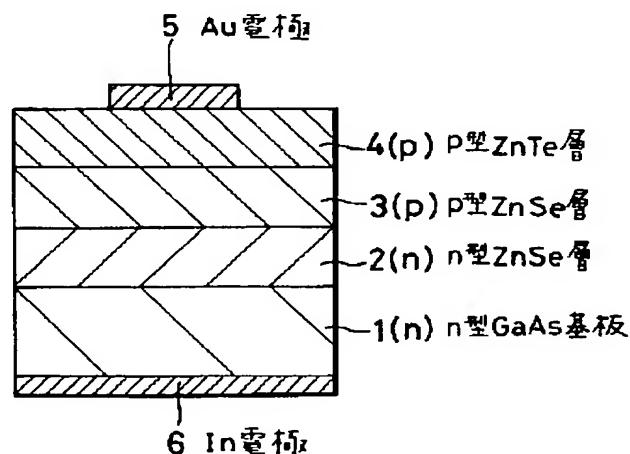
最終頁に続く

(54)【発明の名称】 発光素子

(57)【要約】

【目的】 p型ZnSe層を用いた発光素子において、p側電極のオーム性接触を実現することにより、動作に必要な印加電圧の低減を図るとともに、素子特性の向上を図る。

【構成】 n型ZnSe層2とp型ZnSe層3とから成るpn接合を有するZnSe系発光素子において、p型ZnSe層3上にp型ZnTe層4を設け、このp型ZnTe層4上にp側電極としてのAu電極5を設ける。



【特許請求の範囲】

【請求項1】 p型ZnSe層を用いた発光素子において、上記p型ZnSe層上にp型ZnTe層が設けられ、上記p型ZnTe層上に金属から成るp側電極が設けられていることを特徴とする発光素子。

【請求項2】 上記p型ZnSe層と上記p型ZnTe層との間にp型ZnSeTe系混晶層が設けられている請求項1記載の発光素子。

【請求項3】 上記p型ZnSe層と上記p型ZnTe層との間にp型ZnTeから成る量子井戸層及びp型ZnSeから成る障壁層を有する多重量子井戸層が設けられ、それぞれの上記量子井戸層の厚さはそれぞれの上記量子井戸層の量子準位が上記p型ZnSe層及び上記p型ZnTe層の価電子帯の頂上のエネルギーとほぼ等しくなるように設定されている請求項1記載の発光素子。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、発光素子に関し、特に、ZnSe(セレン化亜鉛)系の材料を用いた発光素子に適用して好適なものである。

【0002】

【従来の技術】 近年、ZnSe系の材料を用いて青色発光素子を実現する試みが活発に行われており、これまでに様々な報告がなされている。

【0003】

【発明が解決しようとする課題】 ところで、p型ZnSeと金属との接触界面には1eV以上の高さのポテンシャル障壁が存在する。一方、これまでに実現されているp型ZnSe中のキャリア濃度は最大でも $1 \times 10^{18} \text{ cm}^{-3}$ 程度である。このため、ZnSe系の材料を用いた発光素子においては、p型ZnSe層に対するp側電極のオーム性接触を得ることは本質的に難しい。この結果、発光素子の動作に必要な印加電圧が高くなり、また、p側電極とp型ZnSe層との接触界面での電力損失による熱の発生により素子特性の劣化が生じるなどの問題があった。

【0004】 最近、p型ZnSeとAu(金)との接触を用いてp側電極を形成したZnSe系注入型II-VI族半導体レーザー(Appl. Phys. Lett. 59, 1272(1991))が提案されているが、この半導体レーザーにおいても、p型ZnSe層に対するp側電極の良好なオーム性接触は得られておらず、レーザー発振に必要な印加電圧は~20Vと高い。

【0005】 従って、この発明の目的は、p型ZnSe層を用いた発光素子において、p側電極のオーム性接触を実現することにより、動作に必要な印加電圧の低減を図ることができるとともに、p側電極の接触界面での熱の発生の防止により素子特性の向上を図ることができる発光素子を提供することにある。

【0006】

【課題を解決するための手段】 すでに述べたように、これまでに実現されているp型ZnSe中のキャリア濃度は最大でも $1 \times 10^{18} \text{ cm}^{-3}$ 程度であるのに対して、p型ZnTe(テルル化亜鉛)中のキャリア濃度は、As(ヒ素)、P(リン)、N(窒素)、Sb(アンチモン)などのV族元素のドーパントを用いることにより、 10^{19} cm^{-3} 程度の値を容易に得ることが可能である。また、p型ZnTeと金属との接触界面のポテンシャル障壁の高さは約0.5eVである。このため、p型ZnTeに対しては、Auなどの金属を用いて、容易にオーム性接触を実現することが可能である。

【0007】 この発明は、上記知見に基づいて案出されたものである。

【0008】 すなわち、上記目的を達成するために、この発明の第一の発明は、p型ZnSe層(3)を用いた発光素子において、p型ZnSe層(3)上にp型ZnTe層(4)が設けられ、p型ZnTe層(4)上に金属から成るp側電極(5)が設けられているものである。

【0009】 この発明の第二の発明は、第一の発明において、p型ZnSe層(3)とp型ZnTe層(4)との間にp型ZnSeTe系混晶層(7)が設けられているものである。

【0010】 この発明の第三の発明は、第一の発明において、p型ZnSe層(3)とp型ZnTe層(4)との間にp型ZnTeから成る量子井戸層及びp型ZnSeから成る障壁層を有する多重量子井戸層(11)が設けられ、それぞれの量子井戸層の厚さはそれぞれの量子井戸層の量子準位がp型ZnSe層(3)及びp型ZnTe層(4)の価電子帯の頂上のエネルギーとほぼ等しくなるように設定されているものである。

【0011】

【作用】 この発明の第一の発明による発光素子によれば、p型ZnTe層(4)上に金属から成るp側電極(5)が設けられているので、p側電極(5)のオーム性接触を実現することができる。これによって、発光素子の動作に必要な印加電圧の低減を図ることができるとともに、p側電極(5)の接触界面での電力損失による熱の発生を防止することにより素子特性の向上を図ることができる。

【0012】 この発明の第二の発明による発光素子によれば、p型ZnSe層(3)とp型ZnTe層(4)との間にp型ZnSeTe系混晶層(7)が設けられていることにより、p型ZnSe層(3)とp型ZnTe層(4)との接合における価電子帯の不連続によるポテンシャル障壁の高さの実効的な低減を図ることができ、これによって発光素子の動作に必要な印加電圧のより一層の低減を図ることができる。

【0013】 この発明の第三の発明による発光素子によ

れば、p側電極(5)から注入される正孔は、多重量子井戸層(11)のそれぞれの量子井戸層の量子準位を介してトンネル効果によりp型ZnTe層(4)からp型ZnSe層(3)に流れることができるので、p型ZnSe層(3)とp型ZnTe層(4)との接合における価電子帯の不連続によるポテンシャル障壁を実効的になくすことができ、これによって発光素子の動作に必要な印加電圧の大幅な低減を図ることができる。

【0014】

【実施例】以下、この発明の実施例について図面を参照しながら説明する。なお、実施例の全図において、同一または対応する部分には同一の符号を付す。

【0015】図1はこの発明の第一実施例によるZnSe系発光ダイオードを示す。

【0016】図1に示すように、この第一実施例によるZnSe系発光ダイオードにおいては、例えばSi(シリコン)ドープのn型GaAs基板1上に例えればGa(ガリウム)ドープのn型ZnSe層2及び例えればNドープのp型ZnSe層3が順次積層され、これらのn型ZnSe層2及びp型ZnSe層3によりpn接合が形成されている。このp型ZnSe層3上にはコンタクト層としてのp型ZnTe層4が積層され、このp型ZnTe層4上にp側電極としてのAu電極5が設けられている。また、n型GaAs基板1の裏面には、n側電極としてのIn(インジウム)電極6が設けられている。

【0017】この場合、n型GaAs基板1の厚さは例えば350μm、キャリア濃度は例えれば $n = 1 \times 10^{18} \text{ cm}^{-3}$ 、n型ZnSe層2の厚さは例えれば1.5μm、キャリア濃度は例えれば $n = (1 \sim 5) \times 10^{17} \text{ cm}^{-3}$ 、p型ZnSe層3の厚さは例えれば1μm、キャリア濃度は例えれば $N_A - N_D = (2 \sim 5) \times 10^{17} \text{ cm}^{-3}$ 、p型ZnTe層4の厚さは例えれば20nm、キャリア濃度は例えれば $N_A - N_D \sim 10^{19} \text{ cm}^{-3}$ である。ただし、 N_A はアクセプタ濃度、 N_D はドナー濃度である。また、Au電極5の直径は例えれば1mmである。

【0018】なお、Nドープのp型ZnTe層4において $N_A - N_D \sim 10^{19} \text{ cm}^{-3}$ のキャリア濃度を実現することができることは、GaAs基板上にエピタキシャル成長させた厚さ1~2μmのNドープZnTe層に対して行った容量-電圧特性の測定により確認している。

【0019】上述のように構成されたこの第一実施例によるZnSe系発光ダイオードを製造するには、n型GaAs基板1上に例えれば分子線エピタキシー(MBE)法によりn型ZnSe層2、p型ZnSe層3及びp型ZnTe層4を順次エピタキシャル成長させた後、p型ZnTe層4上にAu電極5を形成するとともに、n型GaAs基板1の裏面にIn電極6を形成すればよい。ここで、p型ZnSe層3及びp型ZnTe層4へのNのドーピングは、例えれば電子サイクロトロン共鳴(ERC)プラズマガンを用いて行う。

【0020】ところで、ZnTeの格子定数(6.101Å)とZnSeの格子定数(5.667Å)との間には約8%の差があるため、p型ZnSe層3上にp型ZnTe層4を弾性的に歪んだ状態で成長させるために、このp型ZnTe層4の厚さをその臨界膜厚、すなわち3nm程度以下の厚さにする必要があるが、p側電極としてのAu電極5との接触を考えると、このp型ZnTe層4はより厚くするのが望ましい。このようにp型ZnTe層4の厚さを臨界膜厚以上に厚くするところのp型ZnTe層4内に転位が導入されるが、このp型ZnTe層4はp側電極としてのAu電極5との良好なオーム性接触を得るためにものであるので、転位の導入はあまり問題なく、従って例えれば0.5~1μm程度の厚さでもよいと考えられる。この第一実施例においては、上述のように、p型ZnTe層4の厚さはそれらの中間的な厚さである20nmに選ばれている。

【0021】この第一実施例によるZnSe系発光ダイオードの室温における電圧(V)-電流(I)特性を測定したところ、図2に示すような結果が得られた。

【0022】一方、比較のために、図10に示すように、n型GaAs基板101上にn型ZnSe層102及びp型ZnSe層103が順次積層され、このp型ZnSe層103上にAu電極104が設けられ、n型GaAs基板101の裏面にIn電極105が設けられた構造のZnSe系発光ダイオードを別途作製し、その室温における電圧-電流特性を測定したところ、図11に示すような結果が得られた。

【0023】図11からわかるように、p型ZnTe層を用いていない図10に示すZnSe系発光ダイオードでは順方向の印加電圧に対して約20Vで電流が立ち上がっている。一方、図2からわかるように、図1に示すこの第一実施例によるZnSe系発光ダイオードでは順方向の印加電圧に対して約10Vで電流が立ち上がっており、立ち上がり電圧は図11の場合と比べて約10Vも低減されている。

【0024】以上のように、この第一実施例によれば、p型ZnSe層3上にp型ZnTe層4が設けられ、このp型ZnTe層4上にp側電極としてのAu電極5が設けられることにより、Au電極5のオーム性接触を実現することができる。これによって、発光ダイオードの動作に必要な印加電圧の大幅な低減を図ることができるとともに、良好な電圧-電流特性を得ることができる。

【0025】さらに、Au電極5のオーム性接触を実現することができることにより、このAu電極5とp型ZnTe層4との接触界面での電力損失による熱の発生を防止することができ、これによって素子特性の向上を図ることができる。

【0026】ところで、図2に示す電圧-電流特性における電流の立ち上がり電圧は約10Vであるが、この1

0Vという立ち上がり電圧は、ZnSeによるpn接合のビルトイン電圧(～2.5V)と比べて、まだかなり高い値である。この原因としては、p型ZnTe層4とAu電極5とのオーム性接触が不十分であること、及び、p型ZnSe層3とp型ZnTe層4との接触界面において価電子帯に、約0.5eVの大きさの不連続が存在することが考えられる。前者の問題の解決には、p型ZnTe層4の厚さをより大きくすることが有効である。一方、後者の問題は、次に説明するこの発明の第二実施例により解決することができる。

【0027】図3はこの発明の第二実施例によるZnSe系発光ダイオードを示す。

【0028】図3に示すように、この第二実施例によるZnSe系発光ダイオードにおいては、p型ZnSe層3とp型ZnTe層4との間にp型ZnSexTe_{1-x}(0<x<1)層7が設けられている。このp型ZnSexTe_{1-x}層7におけるSe組成比xは、このp型ZnSexTe_{1-x}層7の厚さ方向で一定としてもよいし、p型ZnSe層3との界面でのx=1から、p型ZnTe層4との界面でのx=0に連続的にxが変化するグレーディッド構造としてもよい。その他の構成は第一実施例によるZnSe系発光ダイオードと同様であるので、説明を省略する。

【0029】この第二実施例によれば、p型ZnSe層3とp型ZnTe層4との間に設けられたp型ZnSexTe_{1-x}層7の価電子帯の頂上のエネルギーはp型ZnSe層3の価電子帯の頂上のエネルギーとp型ZnTe層4の価電子帯の頂上のエネルギーとの中間であるため、p型ZnSe層3とp型ZnTe層4との接触界面における価電子帯の不連続の大きさを実効的に小さくすることができ、これによって順方向の立ち上がり電圧、従って発光ダイオードの動作に必要な印加電圧を第一実施例よりもさらに低減することができる。

【0030】図4はこの発明の第三実施例によるZnSe系発光ダイオードを示す。

【0031】図4に示すように、この第三実施例によるZnSe系発光ダイオードにおいては、コンタクト層であるp型ZnSexTe_{1-x}層7及びp型ZnTe層4は、幅W'のストライプ形状を有する。そして、これらのp型ZnSexTe_{1-x}層7及びp型ZnTe層4とその両側のp型ZnSe層3との全面に、p側電極としてのAu電極5が設けられている。

【0032】この場合、Au電極5は、p型ZnTe層4とはオーム性接触しているが、p型ZnSe層3とはオーム性接触していない。あるいは、Au電極5とp型ZnTe層4との接触界面のポテンシャル障壁の高さは、Au電極5とp型ZnSe層3との接触界面のポテンシャル障壁の高さに比べて小さくなっている。この結果、Au電極5とIn電極6との間に電圧を印加した場合、Au電極5とp型ZnTe層4との接触部にのみ、

ストライプ状の電流注入領域を形成することが可能である。すなわち、この第三実施例においては、Au電極5とストライプ状のp型ZnTe層4との接触部だけで選択的に電流注入が生じることにより、電流狭窄が行われる。

【0033】この第三実施例によるZnSe系発光ダイオードを製造するには、n型GaAs基板1上にn型ZnSe層2、p型ZnSe層3、p型ZnSexTe_{1-x}層7及びp型ZnTe層4を順次エピタキシャル成長させた後、p型ZnTe層4及びp型ZnSexTe_{1-x}層7をエッチングによりストライプ形状にパターニングし、その後にAu電極5及びIn電極6を形成すればよい。

【0034】この第三実施例によれば、第二実施例と同様な利点に加えて、次のような利点を得ることができる。すなわち、Si₃N₄(窒化シリコン)膜、SiO₂(二酸化シリコン)膜、ポリイミド膜などの絶縁膜を用いて電流狭窄を行った発光ダイオードや半導体レーザーがあるが、これらをp側電極を下にしてヒートシンク上にマウントした場合には、熱伝導率の悪い絶縁膜を用いて電流狭窄を行っていることにより、熱抵抗が高くなり、素子特性の劣化が生じやすいという問題がある。これに対して、この第三実施例によるZnSe系発光ダイオードは、電流狭窄のために絶縁膜を用いていないので、p側電極を下にしてヒートシンク上にマウントする場合に熱抵抗を小さくすることができ、これによって素子特性の向上を図ることができる。

【0035】次に、この発明の第四実施例によるZnSe系半導体レーザーについて説明する。

【0036】図5はこの第四実施例によるZnSe系半導体レーザーを示す。

【0037】図5に示すように、この第四実施例によるZnSe系半導体レーザーにおいては、n型GaAs基板1上にn型クラッド層としてのn型ZnMgSSe層8、例えばアンドープのZnSSe層から成る活性層9、p型クラッド層としてのp型ZnMgSSe層10、コンタクト層としてのp型ZnSe層3及びp型ZnTe層4が順次積層され、p型ZnTe層4上にAu電極5が設けられているとともに、n型GaAs基板1の裏面にIn電極6が設けられている。

【0038】この場合、n型ZnMgSSe層8、活性層9及びp型ZnMgSSe層10により、ZnSe系pn接合から成る発光領域が形成されている。

【0039】この第四実施例によれば、p型ZnTe層4上にp側電極としてのAu電極5が設けられていることにより、このAu電極5のオーム性接触を実現することができ、それによってレーザー発振に必要な印加電圧を低減することができる。また、Au電極5とp型ZnTe層4との接触界面での電力損失による熱の発生を防止することができることにより、pn接合部以外の部分

での熱の発生が低減され、室温での連続発振が可能となる。

【0040】ところで、p型ZnSe中のキャリア濃度は通常は $5 \times 10^{17} \text{ cm}^{-3}$ 程度が上限であり、一方、p型ZnTe中のキャリア濃度はすでに述べたように 10^{19} cm^{-3} 以上とすることが可能である。また、p型ZnSe/p型ZnTe界面における価電子帯の不連続の大きさは約0.5 eVである。このようなp型ZnSe/p型ZnTe接合の価電子帯には、ステップ接合を仮定すると、p型ZnSe側に

$$W = (2\epsilon\phi_T / qN_A)^{1/2}$$

の幅にわたってバンドの曲がりが生じる。ここで、qは電子の電荷の絶対値、 ϵ はZnSeの誘電率、 ϕ_T はp型ZnSe/p型ZnTe界面における価電子帯の不連続ポテンシャル（約0.5 eV）を表す。

【0041】(1)式を用いてこの場合のWを計算すると、 $W = 320 \text{ \AA}$ となる。このときに価電子帯の頂上がp型ZnTe/p型ZnSe界面に垂直な方向に沿ってどのように変化するかを示したのが図6である。ただし、p型ZnSe及びp型ZnTeのフェルミ準位は価電子帯の頂上に一致すると近似している。図6に示すように、この場合、p型ZnSeの価電子帯はp型ZnTeに向かって下に曲がっている。この下に凸の価電子帯の変化は、p側電極からこのp型ZnSe/p型ZnTe接合に注入された正孔に対してポテンシャル障壁として働く。

【0042】のことから、図5に示すZnSe系半導体レーザーにおいては、p型ZnSe層3とp型ZnTe層4との接触界面に存在する図6に示すようなポテンシャル障壁が、Au電極5からp型ZnTe層4に注入された正孔が発光領域へ向かう際の妨げとなることがわかる。そこで、次に、このようなポテンシャル障壁を実質的になくし、それによって電圧-電流特性の向上を図ることができるこの発明の第五実施例について説明する。

【0043】図7は、p型ZnTeから成る量子井戸層の両側をp型ZnSeから成る障壁層によりはさんだ構

$$\phi(x) = \phi_T \{1 - (x/W)^2\}$$

で与えられる。従って、p型ZnTe/ZnSe多重量子井戸層11の設計は、この(2)式に基づいて、p型ZnTeから成る量子井戸層のそれぞれに形成される量子準位 E_1 がp型ZnSe及びp型ZnTeの価電子帯の頂上のエネルギーと一致し、しかも互いに等しくなるように L_z を段階的に変えることにより行うことができる。

【0048】図9は、p型ZnTe/ZnSe多重量子井戸層11におけるp型ZnSeから成る障壁層の幅 L_B を 20 \AA とした場合の量子井戸幅 L_z の設計例を示す。ここで、p型ZnSe層3のアクセプタ濃度 N_A は $5 \times 10^{17} \text{ cm}^{-3}$ とし、p型ZnTe層4のアクセプタ濃度 N_A は $1 \times 10^{19} \text{ cm}^{-3}$ としている。図9に示すように、この場合には、合計で7個ある量子井戸の幅 L_z を、その量子準位 E_1 がp型ZnSe及びp型ZnTeのフェルミ準位と一致するように、p型ZnSe層3からp型ZnTe層4に向かって $L_z = 3 \text{ \AA}, 4 \text{ \AA}, 5 \text{ \AA}$ 、

19 cm^{-3} 以上とすることが可能である。また、p型ZnSe/p型ZnTe界面における価電子帯の不連続の大きさは約0.5 eVである。このようなp型ZnSe/p型ZnTe接合の価電子帯には、ステップ接合を仮定すると、p型ZnSe側に

(1)

造の単一量子井戸におけるp型ZnTeから成る量子井戸の幅 L_z に対して第一量子準位 E_1 がどのように変化するかを有限障壁の井戸型ポテンシャルに対する量子力学的計算により求めた結果を示す。ただし、この計算では、量子井戸層及び障壁層における電子の質量としてp型ZnSe及びp型ZnTe中の正孔の有効質量 m_h を想定して $0.6 m_0$ (m_0 : 電子の静止質量) を用い、また、井戸の深さは0.5 eVとしている。

【0044】図7より、量子井戸の幅 L_z を小さくすることにより、量子井戸内に形成される量子準位 E_1 を高くすることができるがわかる。この発明の第五実施例においては、このことを利用する。

【0045】図8はこの発明の第五実施例によるZnSe系半導体レーザーを示す。

【0046】図8に示すように、この第五実施例によるZnSe系半導体レーザーにおいては、p型ZnSe層3とp型ZnTe層4との間に、p型ZnTeから成る量子井戸層の厚さ L_z がp型ZnSe層3からp型ZnTe層4に向かって段階的に厚くなっているp型ZnTe/ZnSe多重量子井戸(MQW)層11が設けられている。

【0047】この場合、p型ZnSe/p型ZnTe界面からp型ZnSe側に幅Wにわたって生じるバンドの曲がりはp型ZnSe/p型ZnTe界面からの距離 x (図6)の二次関数

$$\phi(x) = \phi_T \{1 - (x/W)^2\} \quad (2)$$

$6 \text{ \AA}, 8 \text{ \AA}, 11 \text{ \AA}, 17 \text{ \AA}$ と変化させている。

【0049】なお、量子井戸の幅 L_z の設計にあたっては、厳密には、それぞれの量子井戸の準位は相互に結合しているためにそれらの相互作用を考慮する必要があり、また、量子井戸と障壁層との格子不整による歪の効果も取り入れなければならないが、多重量子井戸の量子準位を図9のようにフラットに設計することは原理的に十分に可能である。

【0050】図9において、p型ZnTeに注入された正孔は、p型ZnTe/ZnSe多重量子井戸層11のそれぞれの量子井戸に形成された量子準位 E_1 を介してトンネル効果によりp型ZnSe側に流れることができるので、p型ZnSe/p型ZnTe界面のポテンシャル障壁は実効的になくなる。従って、この第五実施例によるZnSe系半導体レーザーによれば、良好な電圧-電流特性を得ることができるとともに、レーザー発振に必要な印加電圧の大幅な低減を図ることができる。この

場合、p型ZnTe/ZnSe多重量子井戸層11を横切る電流はトンネル効果によるものであるため、若干の抵抗成分が存在するものの、p型ZnTe/ZnSe多重量子井戸層11を設けることは、特にダイオードの順方向立ち上がり電圧の低減には多大の効果がある。

【0051】以上、この発明の実施例につき具体的に説明したが、この発明は、上述の実施例に限定されるものではなく、この発明の技術的思想に基づく各種の変形が可能である。

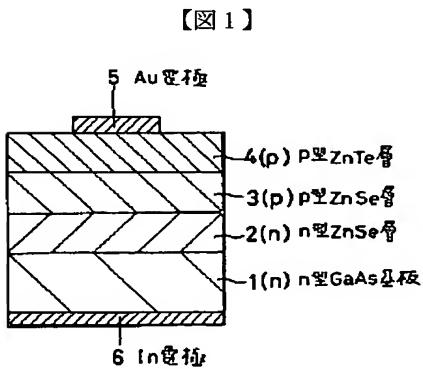
【0052】例えば、上述の第四実施例及び第五実施例においては、発光領域をn型ZnMgSSe層8、活性層9及びp型ZnMgSSe層10により形成しているが、これと異なる構造の発光領域を有するZnSe系半導体レーザーにも、この発明を適用することが可能である。具体的には、例えば、n型GaAs基板上に順次積層されたn型ZnSSe層、n型ZnSe層、ZnCdSe歪量子井戸から成る活性層、p型ZnSe層及びp型ZnSSe層により発光領域を形成したZnSe系半導体レーザーにこの発明を適用することも可能である。

【0053】さらに、上述の第五実施例においては、p型ZnTe/ZnSe多重量子井戸層11におけるそれぞれの量子井戸層の第一量子準位 E_1 が互いに等しく、かつp型ZnTe及びp型ZnSeのフェルミ準位と一致するようにしているが、より一般的には、p型ZnTe/ZnSe多重量子井戸層11におけるそれぞれの量子井戸層の少なくとも一つの量子準位が互いに等しく、かつp型ZnTe及びp型ZnSeのフェルミ準位と一致するようにすればよい。

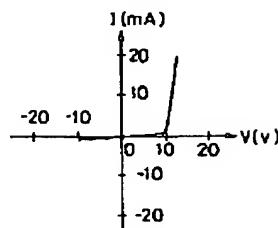
【0054】

【発明の効果】以上述べたように、この発明によれば、p型ZnSe層を用いた発光素子においてp側電極のオーム性接触を実現することができることにより、動作に必要な印加電圧の低減を図ることができるとともに、p側電極の接触界面での熱の発生を防止することができるることにより素子特性の向上を図ることができる。

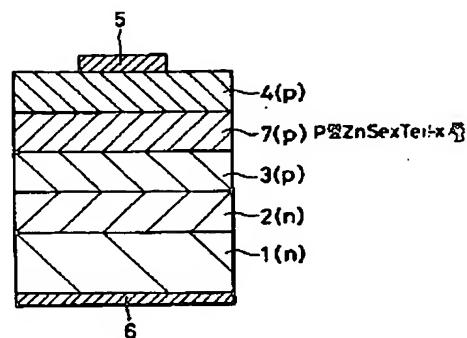
【図面の簡単な説明】



【図2】



【図3】



【図1】この発明の第一実施例によるZnSe系発光ダイオードを示す断面図である。

【図2】図1に示すZnSe系発光ダイオードの室温における電圧-電流特性の測定結果を示すグラフである。

【図3】この発明の第二実施例によるZnSe系発光ダイオードを示す断面図である。

【図4】この発明の第三実施例によるZnSe系発光ダイオードを示す断面図である。

【図5】この発明の第四実施例によるZnSe系半導体レーザーを示す断面図である。

【図6】p型ZnSe/p型ZnTe界面近傍の価電子帯を示すエネルギー帯図である。

【図7】p型ZnTeから成る量子井戸の幅 L_z に対する量子井戸の第一量子準位 E_1 の変化を示すグラフである。

【図8】この発明の第五実施例によるZnSe系半導体レーザーを示す断面図である。

【図9】図8に示すZnSe系半導体レーザーにおけるp型ZnSe/ZnTe多重量子井戸層の設計例を示すエネルギー帯図である。

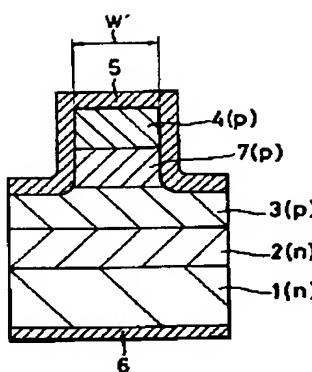
【図10】従来のZnSe系発光ダイオードを示す断面図である。

【図11】図10に示すZnSe系発光ダイオードの室温における電圧-電流特性の測定結果を示すグラフである。

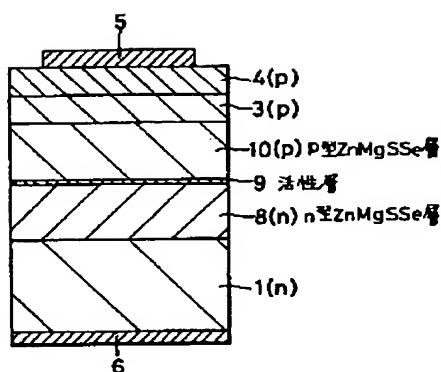
【符号の説明】

- 1 n型GaAs基板
- 2 n型ZnSe層
- 3 p型ZnSe層
- 4 p型ZnTe層
- 5 Au電極
- 6 In電極
- 7 p型ZnSexTe1-x層
- 8 n型ZnMgSSe層
- 9 活性層
- 10 p型ZnMgSSe層
- 11 p型ZnTe/ZnSe多重量子井戸層

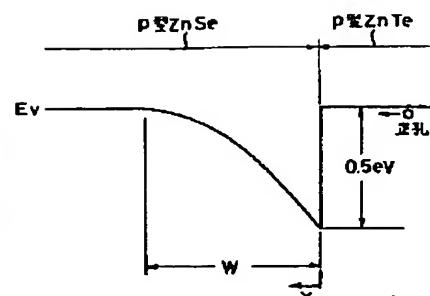
【図4】



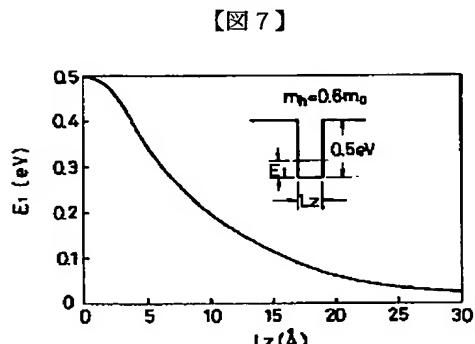
【図5】



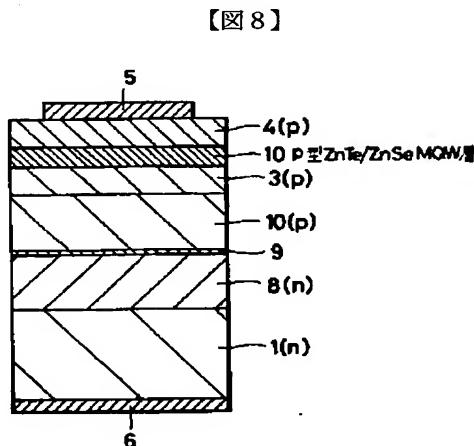
【図6】



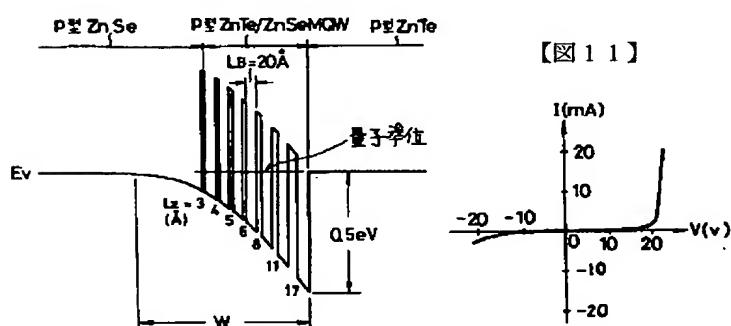
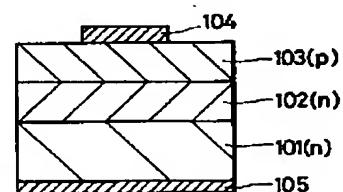
【図10】



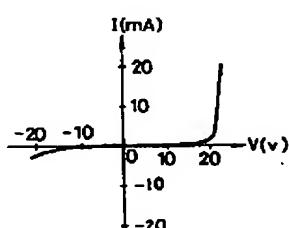
【図9】



【図8】



【図11】



フロントページの続き

(72)発明者 宮嶋 孝夫

東京都品川区北品川6丁目7番35号 ソニ
一株式会社内

(72)発明者 小沢 正文

東京都品川区北品川6丁目7番35号 ソニ
一株式会社内

(72)発明者 秋本 克洋

東京都品川区北品川6丁目7番35号 ソニ
一株式会社内